

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-289979

(43)Date of publication of application : 05.11.1993

(51)Int.CI.

G06F 13/28

G06F 13/12

G06F 13/38

(21)Application number : 04-113137

(71)Applicant : HITACHI LTD

HITACHI MICOM SYST:KK

(22)Date of filing : 06.04.1992

(72)Inventor : FURUHATA NOBUYOSHI

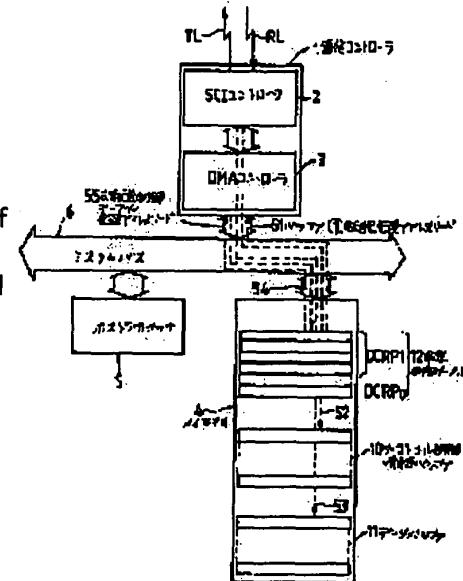
HORIKAWA AKIYOSHI

(54) DATA TRANSFER CONTROL SYSTEM, DATA TRANSFER CONTROL DEVICE AND COMMUNICATION CONTROL SYSTEM

(57)Abstract:

PURPOSE: To provide data transfer technology capable of easily executing data management and improving data processing efficiency.

CONSTITUTION: A data buffer 11 can be efficiently used by judging the boundary of data in accordance with data transfer control information including a transfer control condition, a data transferring address, a data transferred address, and the number of transfer words and controlling the data transferred address, the data transferring address and the number of transfer words based upon the judged result and the easily execution of information management and the improvement of data processing efficiency can be attained by a host processor 5 by dividedly storing these data.





(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-289979

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl.

G 0 6 F 13/28  
13/12  
13/38

識別記号

3 1 0 M 9072-5B  
3 3 0 B 8133-5B  
3 3 0 B 9072-5B

F I

技術表示箇所

(21)出願番号

特願平4-113137

(22)出願日

平成4年(1992)4月6日

(71)出願人

000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人

000233169  
株式会社日立マイコンシステム  
東京都小平市上水本町5丁目22番1号

(72)発明者

降旗 信義  
東京都小平市上水本町5丁目22番1号 株  
式会社日立マイコンシステム内

(72)発明者

堀川 明美  
東京都小平市上水本町5丁目22番1号 株  
式会社日立マイコンシステム内

(74)代理人

弁理士 玉村 静世

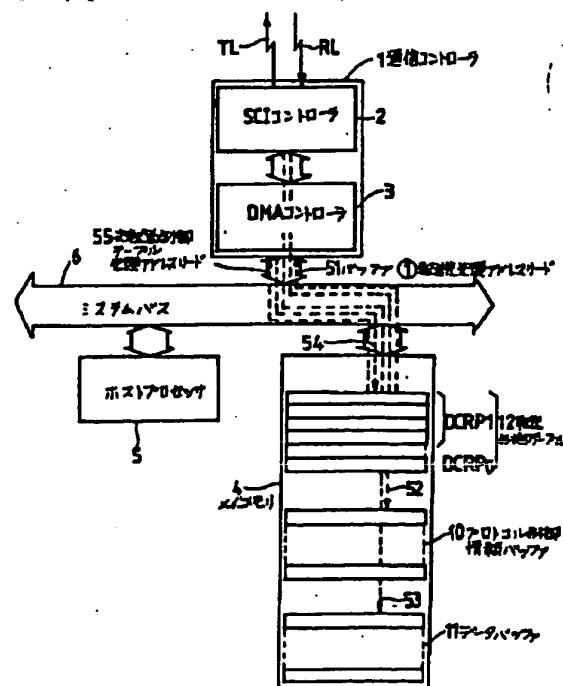
(54)【発明の名称】 データ転送制御方式、データ転送制御装置、及び通信制御システム

## (57)【要約】

【目的】 本発明の目的は、データ管理を容易にし、データ処理効率を向上させるためのデータ転送技術を提供することにある。

【構成】 転送制御条件、データ転送元アドレス、データ転送先アドレス、転送語数を含むデータ転送制御情報を従ってデータの境界を判定し、その判定結果に基づいてデータ転送先又はデータ転送元、転送語数を制御することにより、バッファ11を効率良く使用し、また、どのようにデータを区別して格納することにより、ホストプロセッサ5による情報管理の容易化、データ処理効率向上を図る。

【図 1】



## 【特許請求の範囲】

【請求項1】 データのDMA転送制御であって、データ転送元アドレス、データ転送先アドレス、転送語数を含むデータ転送制御情報に従ってデータの境界を判定し、それぞれのデータブロック毎に上記データ転送制御情報を保持するとともに、境界条件を満たす毎にデータブロックを更新し、更新されたデータバッファに対応する転送元アドレスのバッファから転送先アドレスのバッファにDMA転送することを特徴とするデータ転送制御方式。

【請求項2】 データのDMA転送制御を行うデータ制御装置において、データ転送元アドレス、データ転送先アドレス、転送語数を含むデータ転送制御情報を格納する転送制御情報格納手段と、転送制御条件と転送制御情報に従ってデータの境界を判定する判定手段と、データ転送先又はデータ転送元、及び転送語数等を変化させてデータ転送を制御する転送制御手段とを含むことを特徴とするデータ転送制御装置。

【請求項3】 外部との間の通信インターフェースと、プロトコル制御データを保持するプロトコル制御データバッファと、送受信のためのデータバッファとを含み、インターフェースと、上記プロトコル制御データバッファ及びデータバッファとの間に請求項2記載のデータ転送制御装置を設けて成る通信制御システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、データ処理システムにおいてプロック分割されたデータバッファを転送元又は転送先としてDMA(ダイレクト・メモリ・アクセス)を行うためのデータ転送制御技術に関し、例えばシリアル通信のための通信制御システムに適用して有効な技術に関する。

## 【0002】

【従来の技術】 データリンク層プロトコルとしてHDL C(ハイレベル・データ・リンク・コントロール)手順などに準拠して情報をビットシリアルにやりとりする場合には、SCI(シリアル・コミュニケーション・インターフェース)コントローラがフレームと呼ばれる単位でデータの送受信を行う。送受信されたデータは、上位プロセッサの処理に委ねられるが、SCIコントローラによるデータの送受信と上位プロセッサによるデータ処理とは通常非同期で行われるため、送受信データは一旦データバッファに格納される。このような場合に、SCIコントローラが受信したデータをフレームのようなプロック単位でデータバッファに転送したり、転送すべきデータをプロック単位でデータバッファからSCIコントローラに転送したりするとき、DMAコントローラが利用される。

【0003】 尚、データ通信用のDMAコントローラについて記載された文献の例としては昭和63年7月に株

式会社日立製作所から発行された「HD64180S、NPUハードウェアマニュアル」第376頁から第400頁がある。

## 【0004】

【発明が解決しようとする課題】 上記従来技術では、SCIコントローラとデータバッファとの間でDMA転送されるフレームデータにおいては、データリンク層プロトコル制御情報のみの制御フレーム及びプロトコル制御情報と上位層(ネットワーク層)用データの両者を含んでいる情報フレームが順不同で出現する。そのため、上位プロセッサはソフトウェアによりプロトコル制御情報とデータとをそれぞれ分割管理する必要がある。

【0005】 例えば受信の場合、DMAコントローラは、SCIコントローラで受信された1フレーム分のデータを指定されたメモリ領域上の受信バッファに転送する。プロトコル制御情報と上位層用データの両者を含んでいる情報フレームとプロトコル制御情報のみの制御フレームとが順不同で受信されるため、常にデータを考慮した大きな受信バッファを用意しておく必要があり、そうすると、プロトコル制御情報のみのフレームに対しては大きすぎる受信バッファとなり、受信バッファに無駄が生じる。さらに、上位プロセッサは、情報フレームと制御フレームが混在する受信バッファ内からプロトコル制御情報を認識してプロトコル処理をする必要があるため、そのような処理が複雑になり、プロセッサの負担が大きくなる。

【0006】 また、データをプロトコル制御情報と組み合わせてバッファに置かなければならないため、データを連続して保持することができず、結果的に分散されたデータの管理が複雑になってしまう。

【0007】 本発明の目的は、データ管理を容易にし、データ処理効率を向上させることができるデータ転送技術を提供することにある。

【0008】 さらに本発明の別の目的は、受信バッファの有効利用と、データ管理の容易化を図ることにより、高い効率でデータ処理を行うことができる通信制御技術を提供することにある。

【0009】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0010】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】 すなわち、転送制御条件、データ転送元アドレス、データ転送先アドレス、転送語数を含むデータ転送制御情報に従ってデータの境界を判定し、その判定結果に基づいてデータ転送先又はデータ転送元、転送語数を制御するものである。

【0012】 また、データ転送元アドレス、データ転送

先アドレス、転送語数を含むデータ転送制御情報を格納する転送制御情報格納手段と、転送制御条件と転送制御情報に従ってデータの境界を判定する手段と、データ転送先又はデータ転送元、及び転送語数等を変化させてデータ転送を制御する転送制御手段とを含んでデータ転送制御装置を構成するものである。

【0013】さらに、外部との間の通信インターフェースと、プロトコル制御データを保持するプロトコル制御データバッファと、送受信のためのデータバッファとを含んで通信制御システムが構成されるとき、上記のように構成されたデータ転送制御装置を、上記インターフェースと、上記プロトコル制御データバッファ及びデータバッファとの間に配置することができる。

#### 【0014】

【作用】上記した手段によれば、データ転送制御情報に従ってデータの境界を判定し、その判定結果に基づいてデータ転送先又はデータ転送元、転送語数を制御することは、データを種類毎に分割して保有することを可能とし、また、同一種類のデータを連続して格納することを可能とし、このことが、受信バッファの有効利用、データ管理の容易化、及びデータ処理効率向上を達成する。

#### 【0015】

【実施例】図1には本発明の一実施例に係る通信制御システムが、受信データのDMA転送との関連において示され、図2にはその主要部が拡大されて示される。

【0016】通信コントローラ1は、SCIコントローラ2及びDMAコントローラ3などを含み、送受信データやプロトコル制御情報を格納するRAM(ランダム・アクセス・メモリ)で成るようなメインメモリ4やホストプロセッサ5などの上位レイヤとシステムバス6を介してインターフェースされると共に、通信回線TL、RLにて送受信される情報に対して所定の通信プロトコルに従った処理を行う。特に制限されないが、この通信コントローラ1は、公知の半導体集積回路製造技術によってシリコンのような1個の半導体基板に形成されている。

【0017】上記SCIコントローラ2は、特に制限されないが、送信回線TL及び受信回線RLを介して他局に接続される回線制御部や、この回線制御部によるデータ送受信に必要なプロトコル処理のための制御部、そして送受信すべきデータを先入れ先出形式で一時的に蓄えるバッファなどを含んで成り、回線制御部から受信されるフレームと、DMAコントローラ3によりDMA転送される送信パケットを内部で処理して、ピットシリアルに情報を送受信制御処理する。送信パケットに対しては、プロトコル制御情報を更に付加して送信フレームとして回線制御部から送出する。受信フレームに対しては、プロトコル制御情報を元にフレームの有効・無効を判定し、有効フレームの情報フィールドの受信パケットデータを内蔵バッファに順次蓄えて行く。

【0018】上記DMAコントローラ3は、SCIコントローラ2からのDMA転送要求に従って、SCIコントローラ2が受信したパケットデータを直接メインメモリ4の所定領域に転送制御したり、メインメモリ4の所定領域に格納されている送信すべきパケットデータを直接SCIコントローラ2に転送制御したりする。

【0019】メインメモリ4に転送された受信パケットデータは、ホストプロセッサ5により上位のプロトコル処理に供され、また送信すべきパケットデータはホスト10プロセッサ5による上位のプロトコル処理により生成されるため、メインメモリ4上には送受信データ本体と、パケット毎に区別された上位プロトコル制御情報のブロックデータとして格納されている。送受信パケットをパケット単位の上位プロトコル制御情報と送受信データとに区別してメインメモリ4に格納するため、メインメモリ4にはブロック分割された制御情報バッファ10とデータバッファ11が形成されている。この制御情報バッファ10は、特に制限されないが、n分割された第1ブロックCBLK1乃至第nブロックCBLKnに分割される。同様にデータバッファ11も、特に制限されないが、n分割された第1ブロックDBLK1乃至DBLKnに分割されている。

【0020】プロトコル制御情報バッファ及びデータバッファの各ブロックのブロック長はそれぞれ同一とされ、両バッファともに連続するアドレス空間に配置されている。そして各ブロックCBLK1～CBLKn、DBLK1～DBLKnを定義するための領域として、例えばメインメモリ4に転送制御テーブル12が形成されている。この転送制御テーブル12は、上記第1ブロックCBLK1、DBLK1～第nブロックCBLKn、DBLKnにそれぞれ対応する第1記述子DCRP1～第n記述子DCRPnを含み、各記述子には、バッファ①先頭アドレス、バッファ②先頭アドレス、バッファ②転送語数及び次テーブル先頭アドレスを保持する領域が設けられている。

【0021】上記バッファ①先頭アドレスは、それを含む記述子に対応するプロトコル制御情報ブロックのスタートアドレスを意味し、バッファ②先頭アドレスは、それを含む記述子に対応するデータブロックのスタートアドレスを意味する。例えば第1記述子DCRP1に書込まれるバッファ①先頭アドレスは、第1プロトコル制御情報ブロックのスタートアドレスとされ、バッファ②先頭アドレスは、第1データブロックのスタートアドレスとされる。バッファ②転送語数は、それを含む記述子に対応するブロックに格納されているブロックデータのバイト数を表す。例えば第1記述子DCRP1に書込まれる転送語数は第1データブロックDBLK1に格納されるブロックデータのバイト数とされる。次テーブル先頭アドレスは、それを含む記述子に対応するパケットの次50のパケットに対応する記述子の先頭アドレスを示す。例

えば第1記述子DCRP1に書込まれる次テーブル先頭アドレスは、第2データブロックDBLK2に対応する第2記述子DCRP2の先頭アドレスとされる。

【0022】SCIコントローラ2によって受信されたパケットをDMAコントローラ3によりプロトコル制御情報バッファ10及びデータバッファ11にブロック転送する場合には、図1に示されるように、DMAコントローラは所定の記述子に含まれるプロトコル制御情報バッファのブロック先頭アドレスを示すバッファ①先頭アドレス及びバッファ②先頭アドレスを読み込み(51)、プロトコル制御情報バッファに受信パケットの先頭の所定バイト数のプロトコル制御情報を転送し(52)、受信パケットの残りのデータをデータバッファに転送する(53)。その後当該記述子にデータ転送語数を書込み(54)、次の受信パケットに備えて次転送制御テーブル先頭アドレスを読み込む(55)。

【0023】図3には、本実施例システムが送信データのDMA転送との関連において示され、図4にはその主要部が拡大されて示される。

【0024】送信すべきプロトコル制御情報及びデータはホストプロセッサ5によって、プロトコル制御情報バッファ10及びデータバッファ11に書込まれ、書込まれたデータが、DMAコントローラ3によってSCIコントローラ2にブロック転送する場合には、図3及び図4に示されるように、DMAコントローラは所定の記述子に含まれるプロトコル制御情報バッファのブロック先頭アドレスを示すバッファ①先頭アドレス及びバッファ②先頭アドレスを読み込み(61)、プロトコル制御情報バッファから所定バイト数のプロトコル制御情報をSCIコントローラに転送し(62)、当該記述子に含まれているデータ転送語数を読み出し(63)、その語数分のデータをデータバッファからSCIコントローラに転送する(64)。SCIコントローラは転送されたプロトコル制御情報とデータをパケットとし、更にプロトコル制御情報を加えてフレームとして送信する。その後、次の送信パケットを転送するため次転送制御テーブル先頭アドレスを読み込む(65)。

【0025】図5には、上記DMAコントローラ3の詳細な構成例が示される。

【0026】特に制限されないが、このDMAコントローラ3は、DMA転送のための各種制御信号のやり取りを行うホスト制御部42と、転送制御条件と転送制御情報に従ってデータの境界を判定する判定手段や、その判定結果に基づいてデータ転送先又はデータ転送元、及び転送語数等を変化させてデータ転送を制御する転送制御手段が機能的に形成される転送制御部41と、上記転送制御テーブル12やプロトコル制御バッファ10を利用したブロックデータのDMA転送制御のための各種レジスタとを有する。

【0027】図5において、20はモードレジスタであ

り、このモードレジスタ20は、SCIコントローラ2が受信したパケットをバッファにDMA転送するモードやホストプロセッサ5がプロトコル制御情報バッファ10及びデータバッファ11に書込んだ送信すべきプロトコル制御情報、並びにデータをSCIコントローラ2にDMA転送する動作モードなどがホストプロセッサ5によって設定される。21はコントロールレジスタ群であり、プロトコル制御情報とデータとの境界を指定したり、上記プロトコル制御情報バッファ10及びデータバッファ11や転送制御テーブル12の領域を指定したり、それらに含まれるブロックや記述子を順番に連鎖させるために必要な情報などがホストプロセッサ5により初期設定されるようになっており、そのためのレジスタとして、転送制御テーブル先頭アドレスレジスタ22、1パケットごとのプロトコル制御情報のバイト数を設定するバッファ①長レジスタ23、1パケットごとのデータバッファのバイト数を設定するバッファ②長レジスタ24を含む。このコントロールレジスタ群21に含まれるレジスタには、データ入出力バッファ35を介して外部からデータが与えられるが、その時のレジスタの選択は、アドレス入出力バッファ36を通して外部から与えられるアドレス信号によって行われるようになっている。

【0028】尚、データ入出力バッファ35及びアドレス入出力バッファ36はホストプロセッサ5並びにSCIコントローラ2の双方とインターフェースされるようになっている。

【0029】26はワークレジスタ群であり、例えばプロトコル制御情報バッファ10のブロック先頭を示すバッファ①先頭アドレスレジスタ27、データバッファ11のブロック先頭を示すバッファ②先頭アドレスレジスタ28、ブロック毎のデータ転送語数をバイト単位で保有するデータ転送語数カウントレジスタ29を含む。そして、転送制御テーブル12をアクセスするためのアドレスは転送制御テーブルアドレスレジスタ30が保有し、また、プロトコル制御情報バッファ10又はデータバッファ11をアクセスするためのアドレスはバッファアドレスレジスタ31が保有するようになっている。

【0030】上記の構成において、コントロールレジスタ群21に含まれるレジスタがホストプロセッサ5により初期設定されると、転送制御テーブル先頭アドレスレジスタ22に設定された転送制御テーブル12の先頭アドレスが転送制御テーブルアドレスレジスタ30に内部転送される。転送制御テーブル12の第1記述子DCRP1に設定されたバッファ①先頭アドレス及びバッファ②先頭アドレスが、バッファ①先頭アドレスレジスタ27及びバッファ②先頭アドレスレジスタ28に読み込まれると共に、バッファ①先頭アドレスであるプロトコル制御情報バッファ10の先頭アドレスがバッファアドレスレジスタ31に内部転送され、バッファ①長レジスタ

23に設定されたプロトコル制御情報バイト数が、データ転送語数カウントレジスタ29に内部転送される。転送制御テーブルアドレスレジスタ30が保有するアドレスによって転送制御テーブル12がアクセスされると、当該レジスタのアドレスは、インクリメンタ・デクリメントタ40により次のメモリアドレスにインクリメントされる。同様にバッファアドレスレジス31が保有するアドレスによってプロトコル制御情報バッファ10をアクセスすると、当該レジスタのアドレスは、インクリメンタ・デクリメントタ40により次のメモリアドレスにインクリメントされる。そしてバッファがバイト単位でアクセスされる毎にデータ転送語数カウントレジスタ29の値がインクリメンタ・デクリメントタ40によりデクリメントされる。このとき、当該レジスタの値が0にクリアされると、転送制御部41はバッファの切換え処理を行う。

【0031】上記バッファ切換え処理は、バッファ②先頭アドレスであるデータバッファ11の先頭アドレスがバッファアドレスレジスタ31に内部転送され、データ転送モードが送信データのDMA転送モードの場合には、当該処理が指示されたときの転送制御テーブルアドレスレジスタ30の保有するアドレスから転送語数が、データ転送語数カウントレジスタ29に読み込まれるようになっている。これにより、プロトコル制御情報バッファ10からデータバッファ11に切換えられる。

【0032】バッファがデータバッファ11に切換えられた後は、バッファアドレスレジスタ31が保有するアドレスによってデータバッファ11をアクセスすると、当該レジスタのアドレスはインクリメンタ・デクリメントタ40により次のメモリアドレスにインクリメントされる。そしてデータバッファ11が、バイト単位でアクセスされる毎に、データ転送語数カウントレジスタ29の値が、インクリメンタ・デクリメントタ40によりインクリメント又はデクリメントされる。インクリメントするかデクリメントするかは、データ転送モードに従って決定される。

【0033】すなわち、受信データのDMA転送モードの場合にはインクリメントされ、最終的に、一つのブロックに転送されたブロックデータの転送語数を保有することになる。このとき、当該レジスタが最終的に保有することになるデータ転送語数は、一つのブロックに対するDMA転送が終了されたとき、そのブロックに対応する記述子に書き込まれるようになっている。送信データのDMA転送モードの場合には、所定の記述子から読み込んだ転送語数を初期値として順次デクリメントされる。このとき当該レジスタの値が0にクリアされると、転送制御部はブロックの切換え処理を行う。受信データのDMA転送を行っている場合におけるブロック切換え処理は、SCIコントローラ2が受信データのフレーム末尾を検出することに連動して転送制御部41に与えられ

る。

【0034】上記ブロック切換え処理では、転送制御テーブルアドレスレジスタ30の値が次のテーブル先頭アドレスに更新され、新しいブロックについてのDMA転送が開始される。

【0035】上記実施例によれば以下の作用効果を得ることができる。

【0036】(1) DMAコントローラ3は、SCIコントローラ2が受信した受信パケットのうち、先頭に含まれるプロトコル制御情報をプロトコル制御情報バッファ10に転送し、残りの受信データをデータバッファ11に転送することができるため、プロトコル制御情報及び受信データをそれぞれ連続して該当バッファに格納することができるため、受信バッファを効率良く使用することができ、また、そのようにデータを区別して格納することにより、情報の管理が容易になる。

【0037】(2) 上位プロセッサ5がデータ送信を要求した場合、DMAコントローラ3はプロトコル制御情報バッファ10内の所定のプロトコル制御情報に続けて、データバッファ11内の対応する送信データブロックをSCIコントローラ2に転送することができるから、プロトコル制御情報をまとめて保有することができ、また、送信データを連続して格納することができるため、情報の管理が容易になる。

【0038】(3) 上記(1), (2)の作用効果により、データ処理効率を全体的に向上させることができ、システムスループットを向上させることができる。

【0039】(4) パケットデータの転送開始時に、プロトコル制御情報のバイト長を示すバッファ①長レジスタ23の内容をプロトコル制御情報のデータ転送語数カウントレジスタ29に内部転送し、プロトコル制御情報バッファ10がバイト単位でアクセスされる毎にデータ転送語数カウントレジスタ29の値をデクリメントして、当該レジスタの値が0にクリアされるとバッファの切換え処理を行うようにすることにより、プロトコル制御情報とデータとの切換えを簡易に実現することができる。

【0040】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0041】例えば、上記実施例ではメモリとSCIコントローラとの間でブロックデータをDMA転送する場合について説明したが、本発明はそれに限定されず、メモリ間でのDMA転送にも適用することができる。また、上記実施例では転送語数を境界判定条件としているが、それに限定されず、特定データパターンを境界判定条件としても良い。バッファ数についても上記実施例では2個としているが、複数のバッファに対する場合も同様である。また、DMAコントローラ内部の各種レジス

タの構成は上記実施例に限定されず適宜変更することができる。また、転送制御テーブルをDMAコントローラに内蔵せる場合には、当該テーブルを内外からそれぞれアクセス可能にしておけば良い。DMAコントローラとSCIコントローラのような入出力回路とは、それぞれ別チップで構成することもできる。

【0042】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシリアルデータのDMA転送制御に適用した場合について説明したが、本発明はそれに限定されるものではなく、データの転送制御を行う各種通信制御に適用することができる。

【0043】本発明は、少なくとも複数種類のデータを転送することを条件に適用することができる。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0045】すなわち、複数種類のデータに対して、データブロックの境界を判定してデータを転送することにより、データを種類毎に分割して保有することができ、また、同一種類のデータを連續して格納することができるため、データ管理が容易になる。

【0046】また、バッファ切換え時にプロセッサによるDMAコントローラに対するデータ転送条件の再設定を行わなくても済むようになり、切換え時間の短縮を図ることができる。

【0047】さらに上記効果により、複数種類のブロックデータに対する転送効率を向上させることができると共に、プロセッサの負担を軽減することができ、それによりシステムのスループットを向上させることができる。

【図面の簡単な説明】

【図1】図1は、本発明に一実施例に係るデータ転送制御システムを受信データのDMA転送との関連において示した構成ブロック図である。

【図2】図2は、図1における主要部の拡大図である。

【図3】図3は、本発明に一実施例に係るデータ転送制御システムを送信データのDMA転送との関連において示した構成ブロック図である。

【図4】図4は、図3における主要部の拡大図である。

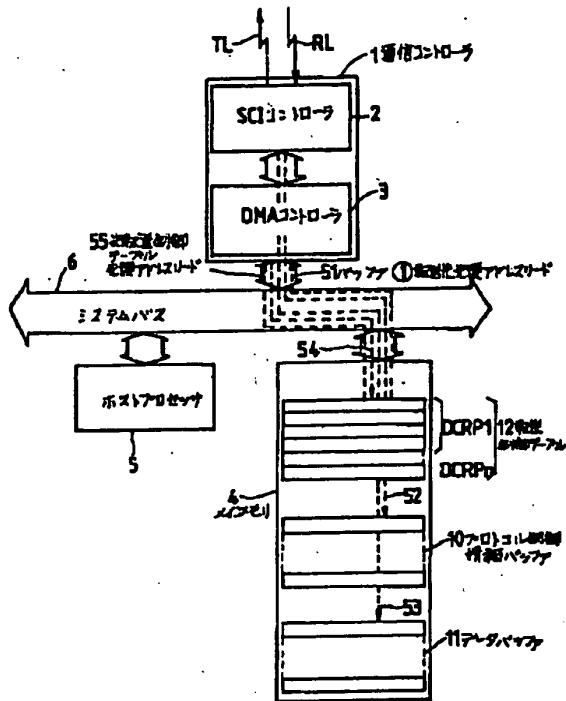
【図5】図5は、上記実施例システムに含まれるDMA 10 コントローラの一例を示す構成ブロック図である。

【符号の説明】

- 1 通信コントローラ
- 2 SCIコントローラ
- 3 DMAコントローラ
- 4 メインメモリ
- 5 ホストプロセッサ
- 6 システムバス
- 10 プロトコル制御情報バッファ
- 11 データバッファ
- 12 転送制御テーブル
- 20 モードレジスタ
- 21 コントロールレジスタ群
- 22 転送制御テーブル先頭アドレスレジスタ
- 23 バッファ①長レジスタ
- 24 バッファ②長レジスタ
- 27 バッファ①先頭アドレスレジスタ
- 28 バッファ②先頭アドレスレジスタ
- 29 データ転送語数カウンタ
- 30 転送制御テーブルアドレスレジスタ
- 31 バッファアドレスレジスタ
- 40 インクリメンタ・デクリメンタ
- 41 転送制御部

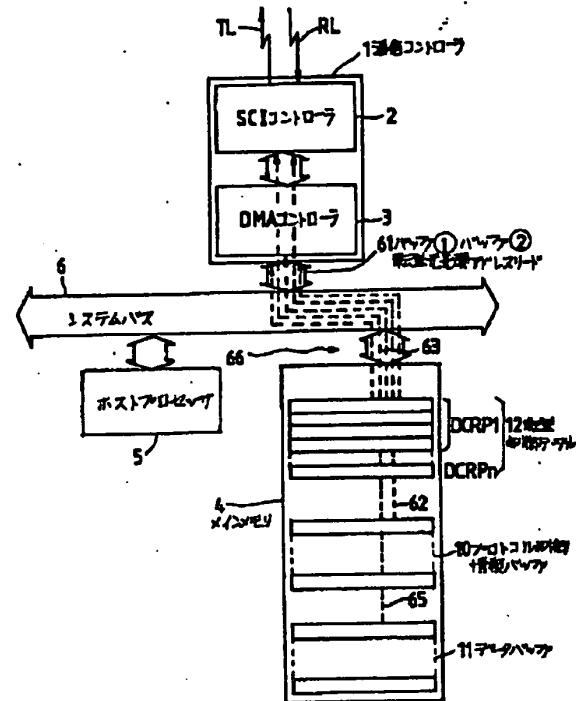
【図1】

【図1】



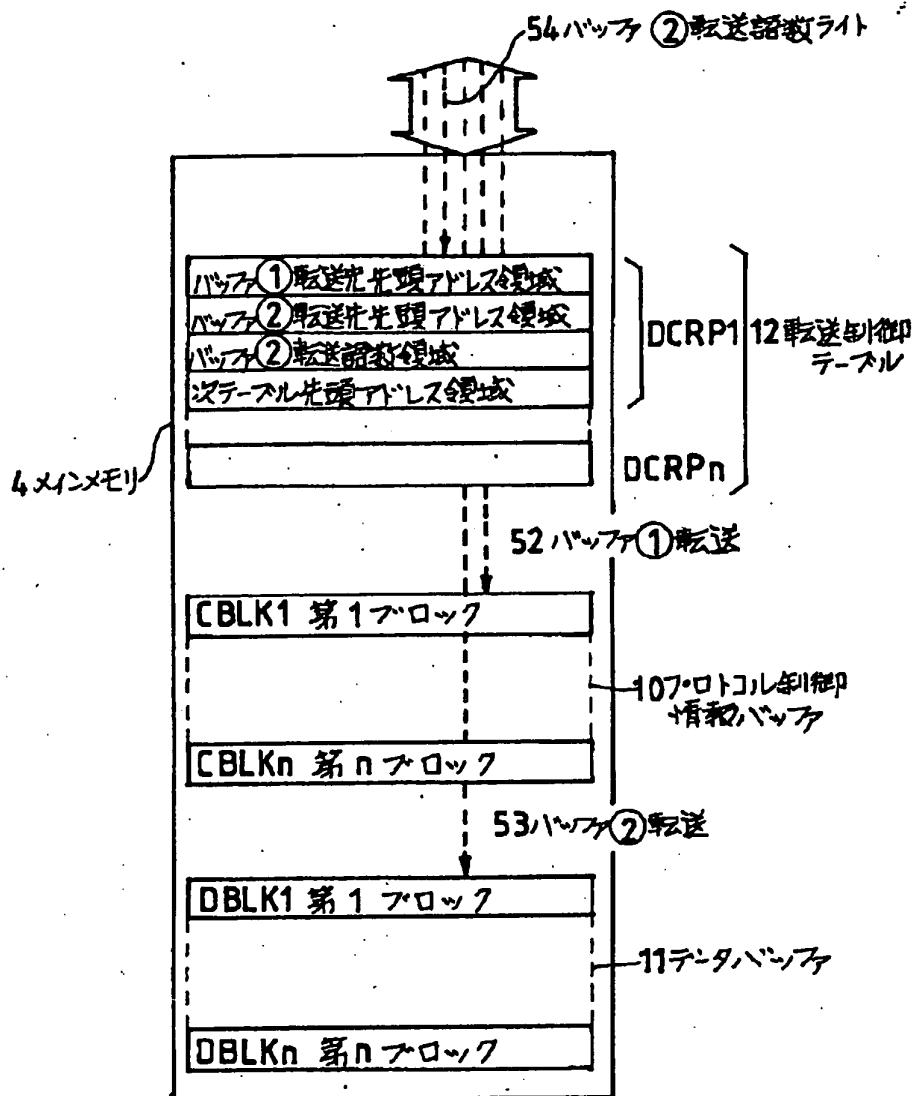
【図3】

【図3】



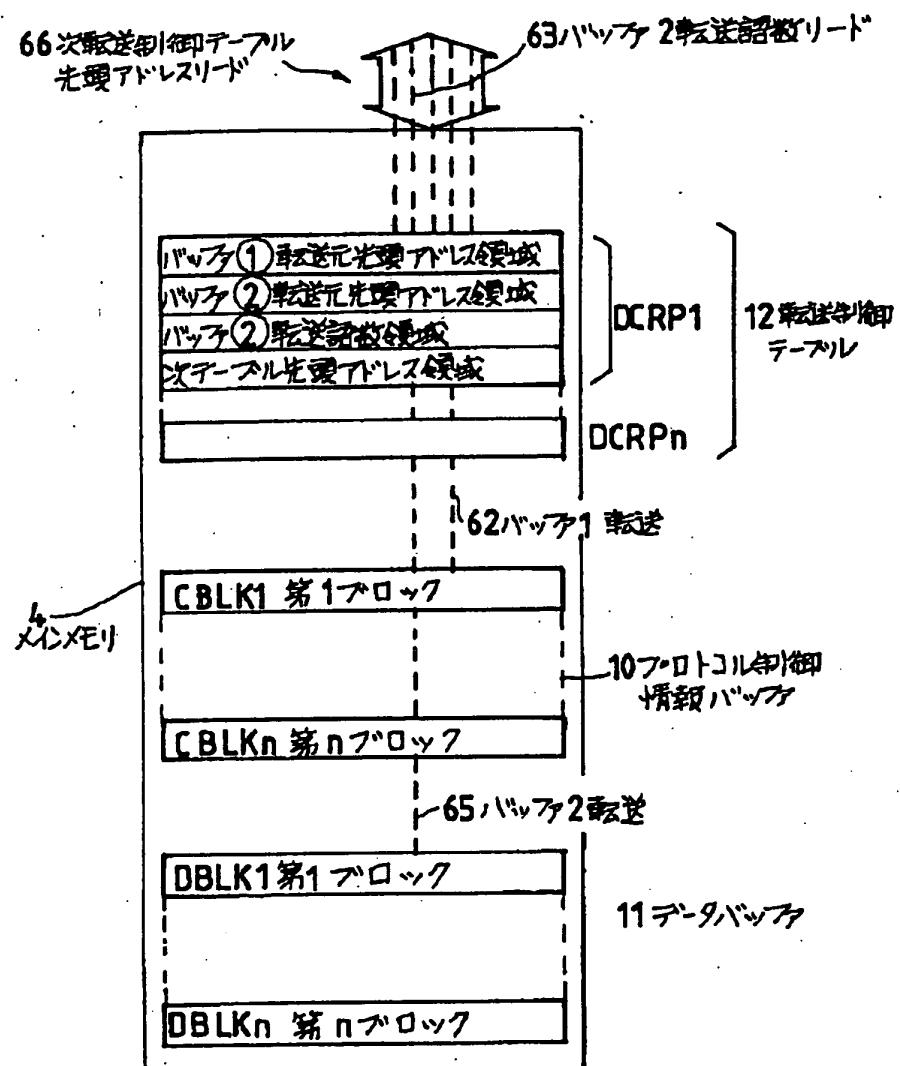
【図2】

【図 2】



【図4】

【図 4】



【図5】

【図 5】

